

Docket No.: 50090-478

PATENT

10/084338 PRO
02/28/02


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Yukikazu MATSUO, et al. :
Serial No.: Group Art Unit:
Filed: February 28, 2002 : Examiner:
For: TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND TEST
METHOD THEREFOR

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

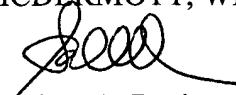
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-224899, July 25, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:kjw
Date: February 28, 2002
Facsimile: (202) 756-8087

日本特許庁

JAPAN PATENT OFFICE *McDermott, Will & Emery*

50090-478 G523US
YUKIKAZU MATSUOKA
February 28, 2002

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 7月25日

出願番号

Application Number:

特願2001-224899

出願人

Applicant(s):

三菱電機株式会社

菱電セミコンダクタシステムエンジニアリング株式会社

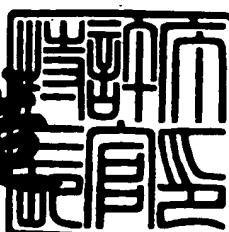
JCS69 U.S. PTO
10/084338
02/28/02

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月10日

特許庁長官
Commissioner,
Japan Patent Office

及川耕三



【書類名】 特許願

【整理番号】 533113JP01

【提出日】 平成13年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28
G06F 11/22

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内

【氏名】 松尾 幸和

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 名倉 義博

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 591036505

【氏名又は名称】 菱電セミコンダクタシステムエンジニアリング株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路の試験装置及び試験方法

【特許請求の範囲】

【請求項1】 2つ以上の異なるロジックを有する半導体集積回路にJTA G回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようとした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記データレジスタ及び疑似バイパスレジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタと、上記テストデータ入力のバイパス機能を有するバイパスレジスタと、動作指令を与えるためのインストラクションレジスタと、上記バウンダリースキャンレジスタ及び第1のセレクタ、バイパスレジスタ並びにインストラクションレジスタに接続され、上記インストラクションレジスタによって選択制御される第2のセレクタとを有するJTA G回路を上記各ロジックにそれぞれ設け、所定のロジックの第2のセレクタの出力を他の1つのロジックの入力とするようにしたことを特徴とする半導体集積回路の試験装置。

【請求項2】 上記疑似バイパスレジスタは、上記データレジスタによって第1のセレクタを選択することにより制御されることを特徴とする請求項1記載の半導体集積回路の試験装置。

【請求項3】 上記疑似バイパスレジスタは、上記バイパスレジスタと同じ構成とされていることを特徴とする請求項1または請求項2記載の半導体集積回路の試験装置。

【請求項4】 上記疑似バイパスレジスタの入力側にセレクタを設け、バイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたことを特徴とする請求項1～請求項3のいずれか1項記載の半導体集積回路の試験装置。

【請求項5】 上記疑似バイパスレジスタを複数ビットにし、各ビット毎にセレクタを介してバイパスさせるテストデータ入力と任意の情報とを選択的に入

力し得るようにしたことを特徴とする請求項1～請求項3のいずれか1項記載の半導体集積回路の試験装置。

【請求項6】 2つ以上の異なるロジックを有する半導体集積回路にJ T A G回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようとした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記各レジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタとからなる制御ブロックを各ロジックに対応して設け、更に、各ロジックにバイパスレジスタ及びインストラクションレジスタ並びにこれらのレジスタと第1のセレクタとに接続され、上記インストラクションレジスタによって選択制御される第2のセレクタを設け、所定のロジックの第2のセレクタの出力を他のロジックの入力としたことを特徴とする半導体集積回路の試験装置。

【請求項7】 2つ以上の異なるロジックを有する半導体集積回路にJ T A G回路を組み込み、上記各ロジックのインサーキットテストを行なうことができるようとした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるバウンダリースキャンレジスタと、データレジスタと、上記テストデータ入力のバイパス機能を有する疑似バイパスレジスタと、上記各レジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第1のセレクタの出力を他の制御ブロックの入力にすると共に、上記各制御ブロックに共通のバイパスレジスタ及びインストラクションレジスタ並びに上記各制御ブロックとバイパスレジスタとインストラクションレジスタとに接続され、上記インストラクションレジスタによって選択制御される第2のセレクタを設け、上記J T A G回路を構成するようにしたことを特徴とする半導体集積回路の試験装置。

【請求項8】 請求項1～請求項7のいずれか1項記載の半導体集積回路の試験装置によって半導体集積回路のインサーキットテストを行なうようにしたこ

とを特徴とする半導体集積回路の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路、特に2つ以上の異なるロジック、例えばメモリコアを有し、JTAG回路（Joint Test Action Group、合同試験実施グループ基準にもとづく回路、以下同じ）を組み込んだ半導体集積回路の試験装置及び試験方法に関するものである。

【0002】

【従来の技術】

図9は、従来のJTAG回路を組み込んだ半導体集積回路の試験装置を示すブロック図で、同一チップ上に搭載された半導体集積回路が2つの異なるロジック（ロジック1及びロジック2）を有し、各ロジックにそれぞれJTAG回路が組み込まれた構成を示している。

この図において、11はロジック1に組み込まれ、JTAG回路の要部を構成するバウンダリースキャンレジスタ（Boundary Scan Register、以下BSRという）で、従来のテストプローブと等価な機能を有し、ロジック1のテスト結果を貯えるものである。12はJTAG回路におけるデータレジスタ（Data Register、以下DRという）、13は同じくバイパスレジスタ（Bypass Register、以下BRという）で、テストデータ入力を出力側にバイパスして最短経路を形成するものである。

【0003】

14は同じくインストラクションレジスタ（Instruction Register、以下IRという）で、図示しない周知のTAP（Test Access Port）コントローラの命令ビットを読み込んでデコードするものである。

15は上記各レジスタ11～14に接続され、IR14によって選択制御され、いずれかのレジスタ出力を送出するセレクタ、21はロジック2に組み込まれたBSR、22は同じくDR、23は同じくBR、24は同じくIR、25は同じくセレクタで、いずれもロジック1と同様に構成されている。

なお、TDIはJTAG回路のテストデータ入力信号、TDOは同じくJTAG回路のテストデータ出力信号で、ロジック1のセレクタ15の出力はロジック2に対する入力信号とされている。

【0004】

このような構成において、各ロジック2回のテスト及びテスト結果の読み出しを行なう場合の動作を図10に示すフローチャートを用いて説明する。

先ず、ステップS1でロジック1のテストモードを設定する。次に、ステップS2でロジック1の1回目のテストを実施し、ステップS3でそのテスト結果をBSR11に貯える。次いで、ステップS4でBSR11に貯えられた1回目のテスト結果を読み出す。この読み出し信号は、セレクタ15を経てロジック2に入力され、ロジック2のBR23及びセレクタ25を経てテストデータ出力TDOに出力される。この場合、ロジック1のセレクタ15は、IR14によってBSR11のテスト結果を選択するようにセットされ、ロジック2においては、セレクタ25はIR24によってBR23を選択するようにセットされているものである。

【0005】

その後、ステップS5でロジック1の2回目のテストが実施され、ステップS6でBSR11にテスト結果が貯えられる。

ステップS7で2回目のテスト結果が読み出されるが、BSR11からのテスト結果信号は、上述した1回目と同様に、ロジック2のTDOに出力される。

次いで、ステップS8でロジック2のテストモードが設定され、ステップS9でロジック2の1回目のテストが実施される。テスト結果はステップS10でBSR21に貯えられ、ステップS11でその結果が読み出される。

読み出し信号はBSR21からセレクタ25を経てTDOに出力される。この場合、セレクタ25はIR24によってBSR21のテスト結果を選択するようにセットされている。その後、ステップS12でロジック2の2回目のテストが実施され、ステップS13でテスト結果がBSR21に貯えられる。

次いで、ステップS14でBSR21のテスト結果を読み出す。読み出し信号は1回目と同様に、セレクタ25を経てTDOに出力され、ステップS15でテ

ストを終了する。

【0006】

【発明が解決しようとする課題】

従来のJTAG回路による半導体集積回路のインサーキットテストは上述のように行なわれるが、テスト対象である2つのロジック1、2が同時にテスト状態である場合には、一方のロジック、例えばロジック1でBSR11からテスト結果を読み出している時は、ロジック2ではBR23が機能するようになされている。しかし、BR23または13は、JTAG回路のIR24または14が総て“1”である状態で有効となるようになされているため、BR23または13を設定したロジックは、IR24または14でセットされたテストモード（例えばRUNBIST）から抜ける結果となり、複数回のテスト結果の読み出しを伴う各ロジックの同時テストができなくなるという問題点があった。

【0007】

この発明は、上記のような問題点を解消するためになされたもので、IRの状態に左右されないバイパス機能を実現することができる試験装置及び試験方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

この発明に係る半導体集積回路の試験装置は、2つ以上の異なるロジックを有する半導体集積回路にJTAG回路を組み込み、各ロジックのインサーキットテストを行なうことができるようになされた半導体集積回路の試験装置において、テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有する疑似バイパスレジスタ（Transfer Register、以下TRという）と、DR及びTRに接続され、各レジスタの出力を選択的に取り出す第1のセレクタと、テストデータ入力のバイパス機能を有するBRと、動作指令を与えるためのIRと、BSR及び第1のセレクタ、BR並びにIRに接続され、IRによって選択制御される第2のセレクタとを有するJTAG回路を各ロジックにそれぞれ設け、所定のロジックの第2のセレクタの出力を他の1つのロジックの入力とするようにしたものである。

【0009】

この発明に係る半導体集積回路の試験装置は、また、TRが、DRによって第1のセレクタを選択することにより制御されることとしたものである。

【0010】

この発明に係る半導体集積回路の試験装置は、また、TRが、BRと同じ構成とされているものである。

【0011】

この発明に係る半導体集積回路の試験装置は、また、TRの入力側にセレクタを設け、バイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたものである。

【0012】

この発明に係る半導体集積回路の試験装置は、また、TRを複数ビットにし、各ビット毎にセレクタを介してバイパスさせるテストデータ入力と任意の情報とを選択的に入力し得るようにしたものである。

【0013】

この発明に係る半導体集積回路の試験装置は、また、2つ以上の異なるロジックを有する半導体集積回路にJTAG回路を組み込み、各ロジックのインサーキットテストを行なうことができるようとした半導体集積回路の試験装置において、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有するTRと、各レジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタとからなる制御ブロックを各ロジックに対応して設け、更に、各ロジックにBR及びIR並びにこれらのレジスタと第1のセレクタとに接続され、IRによって選択制御される第2のセレクタを設け、所定のロジックの第2のセレクタの出力を他のロジックの入力としたものである。

【0014】

この発明に係る半導体集積回路の試験装置は、また、2つ以上の異なるロジックを有する半導体集積回路にJTAG回路を組み込み、各ロジックのインサーキットテストを行なうことができるようとした半導体集積回路の試験装置において

、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有するTRと、各レジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第1のセレクタの出力を他の制御ブロックの入力にすると共に、各制御ブロックに共通のBR及びIR並びに各制御ブロックとBRとIRとに接続され、IRによって選択制御される第2のセレクタを設け、JTAG回路を構成するようにしたものである。

【0015】

この発明に係る半導体集積回路の試験方法は、上述した各構成の試験装置を用いて半導体集積回路のインサーキットテストを行なうようにしたものである。

【0016】

【発明の実施の形態】

実施の形態1.

以下、この発明の実施の形態1を図にもとづいて説明する。

図1は、実施の形態1の構成を示すブロック図である。この図において、図9と同一または相当部分には同一符号を付して説明を省略する。

図9と異なる点は、BR13、23に代わるTRを設け、TRをDR12、22によって制御するようにした点である。即ち、図1において、16はロジック1のJTAG回路を構成するTRで、BR13と同じ構成とされ、テストデータ入力信号TDIを出力側にバイパスさせる機能を有するものである。

17はTR16とDR12に接続された第1のセレクタで、DR12によって選択制御されるものである。

また、18は第2のセレクタで、BSR11、第1のセレクタ17の出力端子、BR13、及びIR14に接続され、図9と同様に、IR14によって選択制御され、出力がロジック2に対する入力信号とされている。

また、26はロジック2に組み込まれたTR、27は同じく第1のセレクタ、28は同じく第2のセレクタで、いずれもロジック1と同様に構成され、第2のセレクタ28の出力はテストデータ出力信号とされる。

【0017】

このような構成において、図9と同様に、各ロジック2回のテスト及びテスト結果読み出しを行なう場合の動作を図2に示すフローチャートを用いて説明する。

先ず、ステップS21で、ロジック1及びロジック2のテストモードを設定する。次に、ステップS22でロジック1及びロジック2の1回目のテストを実施し、ステップS23でそれぞれのテスト結果をBSR11及び21に貯える。

次いで、ステップS24でBSR11に貯えられたロジック1の1回目のテスト結果を読み出す。この読み出し信号は、IR14によってBSR11を選択している第2のセレクタ18を経てロジック2に入力される。

ロジック2ではDR22によって第1のセレクタ27がTR26を選択し、IR24によって第2のセレクタ28が第1のセレクタ27の出力を選択しているため、ロジック1からのテスト結果信号はロジック2のTR26及び第1のセレクタ27、更に、第2のセレクタ28を経てテストデータ出力TDOに出力される。

【0018】

次に、ステップS25でBSR21に貯えられたロジック2の1回目のテスト結果を読み出す。この時、ロジック2では、IR24によって第2のセレクタ28がBSR21を選択しているため、読み出し信号は第2のセレクタ28を経てテストデータ出力TDOに出力される。

その後、ステップS26でロジック1及びロジック2の2回目のテストが実施され、ステップS27でBSR11及び21にそれぞれのテスト結果が貯えられる。次に、ステップS28でロジック1の2回目のテスト結果が読み出されるが、BSR11からのテスト結果信号は、上述した1回目と同様の経路でロジック2のTDOに出力される。

また、ステップS29でロジック2の2回目のテスト結果が読み出されるが、BSR21からのテスト結果信号も1回目と同じ経路でTDOに出力され、ステップS30でテストを終了する。

【0019】

この実施の形態では、DR12、22によってTR16、26を選択制御するようにしているため、IR14、24の状態に左右されないバイパス機能を実現することができる。

また、図9に示す従来の試験装置では、IR14、24によってBR13、23を選択制御していたため、ロジック1のテスト結果読み出しでロジック2のBR23を機能させた後、ロジック2のテストを行なう場合には、図10のステップS8に示すように、再度テストモードを設定する必要があったが、実施の形態1では、TR16、26のバイパス機能を利用するため、ロジック2がテストモードから抜けることがなく、フローの簡略化を図ることができる。

従って、図2のフローチャートにも示すように、複数回のテスト結果の読み出しを伴う複数ロジックの同時テストが可能となり、テストの時間短縮を図ることができる。

【0020】

実施の形態2.

次に、この発明の実施の形態2を図にもとづいて説明する。

図3は、実施の形態2の要部を構成するTR16、26の構成と、それに対する信号の経路を示すブロック図である。

即ち、図3において、16、26は図1におけるロジック1のTR16またはロジック2のTR26を示すものである。30はTR16、26の入力側に設けられた第3のセレクタで、一方の入力であるPass-Dataは図1におけるテストデータ入力TDIと直結し、バイパスさせるテストデータが入力され、他方の入力であるIN-Dataは各ロジックにおける任意の情報、例えばメモリコアのバスあるいはフェイル信号などを入力するための端子であり、図示しないTAPコントローラのSHIFT DR信号によって選択制御されるものである。即ち、各ロジックに固有の情報をIN-Dataを経てTR16、26に付加することができるようにしたものである。

【0021】

図4は、TAPコントローラの状態遷移と対応させた波形図を示すものであるが、(b)に示すように、SHIFT-DR信号が入ることによって図3における第3の

セレクタ30がIN-Dataを選択するため、(e)に示すIN-Dataの情報が(f)に示すように、TDOに現われ、テストデータ入力であるPass-Dataと共に読み出すことができる。

【0022】

実施の形態3.

次に、この発明の実施の形態3を図にもとづいて説明する。

図5は、実施の形態3の要部を構成するTR16、26の構成と、それに対する信号の経路を示すブロック図である。

なお、図5におけるTRの符号は、一例としてロジック1に対応させて表示している。即ち、図5において、16(1)、16(2)……16(N)は、複数ビットのTR、30(1)、30(2)……30(N)は、それぞれ各TR16(1)、16(2)……16(N)の入力側に設けられた第3のセレクタで、各セレクタの機能及び入力信号等は実施の形態2における第3のセレクタ30と同等である。

図6は、図4と同様に、TAPコントローラの状態遷移と対応させた波形図を示すもので、IN-Dataとして(e1)～(eN)に示す複数の任意情報が準備され、(b)に示すように、SHIFT-DR信号が入ることによって、図5における各ビットの第3のセレクタ30(1)～30(N)が順次IN-Dataを選択するため、(e1)～(eN)に示すIN-Dataの情報が(f)に示すように、順次TDOに現われ、テストデータ入力であるPass-Dataと共に読み出すことができる。

【0023】

この実施の形態では、上述のように、各ロジックに固有の任意情報を各ビット毎に付加し得るようにしたため、実施の形態2に比してN倍の情報を得ることができる。

【0024】

実施の形態4.

次に、この発明の実施の形態4を図にもとづいて説明する。

図7及び図8は、実施の形態4の構成を示すブロック図である。これらの図において、図1と同一または相当部分には同一符号を付して説明を省略する。

図7において、B1はロジック1のBSR11、TR16及びDR12並びにこれらの各レジスタに接続され、DR12によって選択制御されるセレクタ37で構成される第1の制御ブロック、38はセレクタ37、BR13及びIR14に接続され、IR14によって選択制御されるセレクタ、B2は同じくロジック2のBSR21、TR26及びDR22並びにこれらの各レジスタに接続され、DR22によって選択制御されるセレクタ47で構成される第2の制御ブロック、48はセレクタ47、BR23及びIR24に接続され、IR24によって選択制御されるセレクタである。

【0025】

この実施の形態は、制御ブロックB1、B2を各ロジック毎に設けることにより、JTAG回路と各ロジックとを分離したので、このような構成とすることにより、例えば図8に示すような構成が可能となる。

図8において、JCは1つのJTAG回路で制御ブロックBとBR33とIR34と、これらに接続されIR34によって選択制御されるセレクタ58とから構成され、制御ブロックBは更に、矢印で示す部分に詳細構成を示すように、ロジック1に対応する制御ブロックB1と、ロジック2に対応する制御ブロックB2とから構成されている。

従って、BR33とIR34及びセレクタ58は、両ブロックB1、B2に共通の構成要素として機能する。

このような構成とすることにより、1つのJTAG回路で複数のロジックの同時テストが可能となるものである。

【0026】

【発明の効果】

この発明に係る半導体集積回路の試験装置および試験方法は、テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有するTRと、DR及びTRに接続され、各レジスタの出力を選択的に取り出す第1のセレクタと、テストデータ入力のバイパス機能を有するBRと、動作指令を与えるためのIRと、BSR及び第1のセレクタ、BR並びにIRに接続され、IRによって選択制御される第2のセレク

タとを有するJTAG回路を各ロジックにそれぞれ設け、所定のロジックの第2のセレクタの出力を他の1つのロジックの入力とするようにしたため、IRの状態に左右されないバイパス機能を実現することができる。

また、バイパス機能を使用した後、再度テストモードを設定することなくテストを行なうことができるため、テストフローの簡略化と複数回のテスト結果読み出しを伴う複数ロジックの同時テストを行なうことができるため、テストの時間短縮を図ることができる。

【0027】

この発明に係る半導体集積回路の試験装置および試験方法は、また、TRの入力側にセレクタを設け、バイパスさせるテストデータ入力と任意の情報を選択的に入力し得るようにしたため、ロジック固有の情報、例えばメモリコアのバスあるいはフェイル信号を付加することができ、BSR出力の読み出しと同時に種々のメモリコア特有の情報を読み出すことができる。

また、TRを複数ビットにすれば、N倍の固有情報を得ることができる。

【0028】

この発明に係る半導体集積回路の試験装置および試験方法は、また、テストデータ入力に応じて上記ロジックのテストを行ない、テスト結果を貯えるBSRと、DRと、テストデータ入力のバイパス機能を有するTRと、各レジスタに接続され、各レジスタの出力を選択的に取り出す第1のセレクタとからなる制御ブロックを各ロジックに対応して設け、所定の制御ブロックの第1のセレクタの出力を他の制御ブロックの入力にすると共に、各制御ブロックに共通のBR及びIR並びに各制御ブロックとBRとIRとに接続され、IRによって選択制御される第2のセレクタを設け、JTAG回路を構成するようにしたため、1つのJTAG回路で複数のロジックの同時テストを行なうことが可能となる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の構成を示すブロック図である。

【図2】 実施の形態1のテスト動作を示すフローチャートである。

【図3】 この発明の実施の形態2の要部の構成を示すブロック図である。

【図4】 実施の形態2におけるTAPコントローラの状態遷移と対応させ

た波形図である。

【図5】 この発明の実施の形態3の要部の構成を示すブロック図である。

【図6】 実施の形態3におけるTAPコントローラの状態遷移と対応させた波形図である。

【図7】 この発明の実施の形態4の構成を示すブロック図である。

【図8】 この発明の実施の形態4の詳細構成を示すブロック図である。

【図9】 従来のJTAG回路を組み込んだ半導体集積回路の試験装置を示すブロック図である。

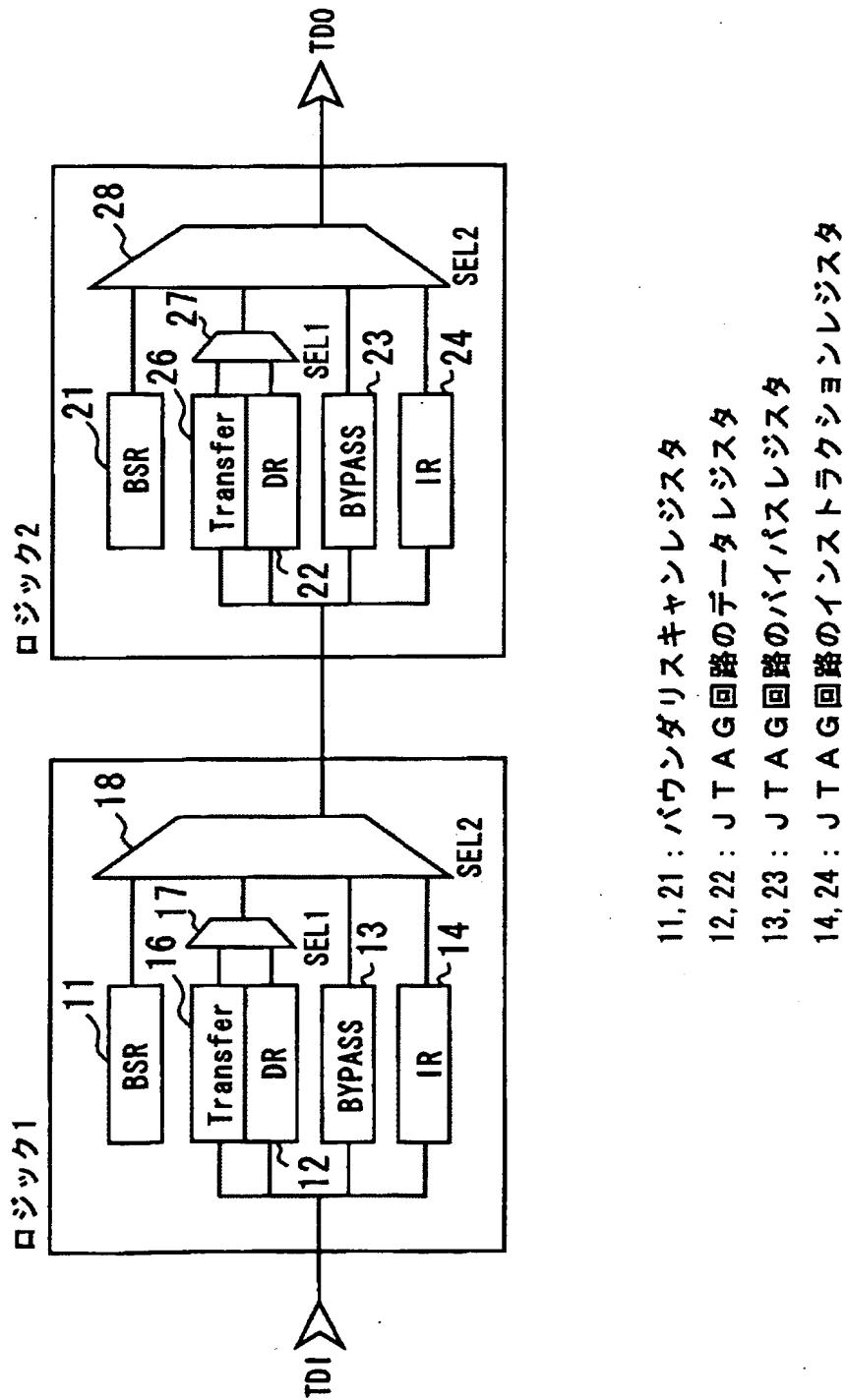
【図10】 従来の試験装置のテスト動作を示すフローチャートである。

【符号の説明】

11、21 BSR、	12、22 JTAG回路のDR、	13、23
JTAG回路のBR、	14、24 JTAG回路のIR、	16、26
JTAG回路のTR、	17、18、27, 28、30、37、38, 47	
、48、58 セレクタ、	B、B1、B2 制御ブロック。	

【書類名】 図面

【図1】



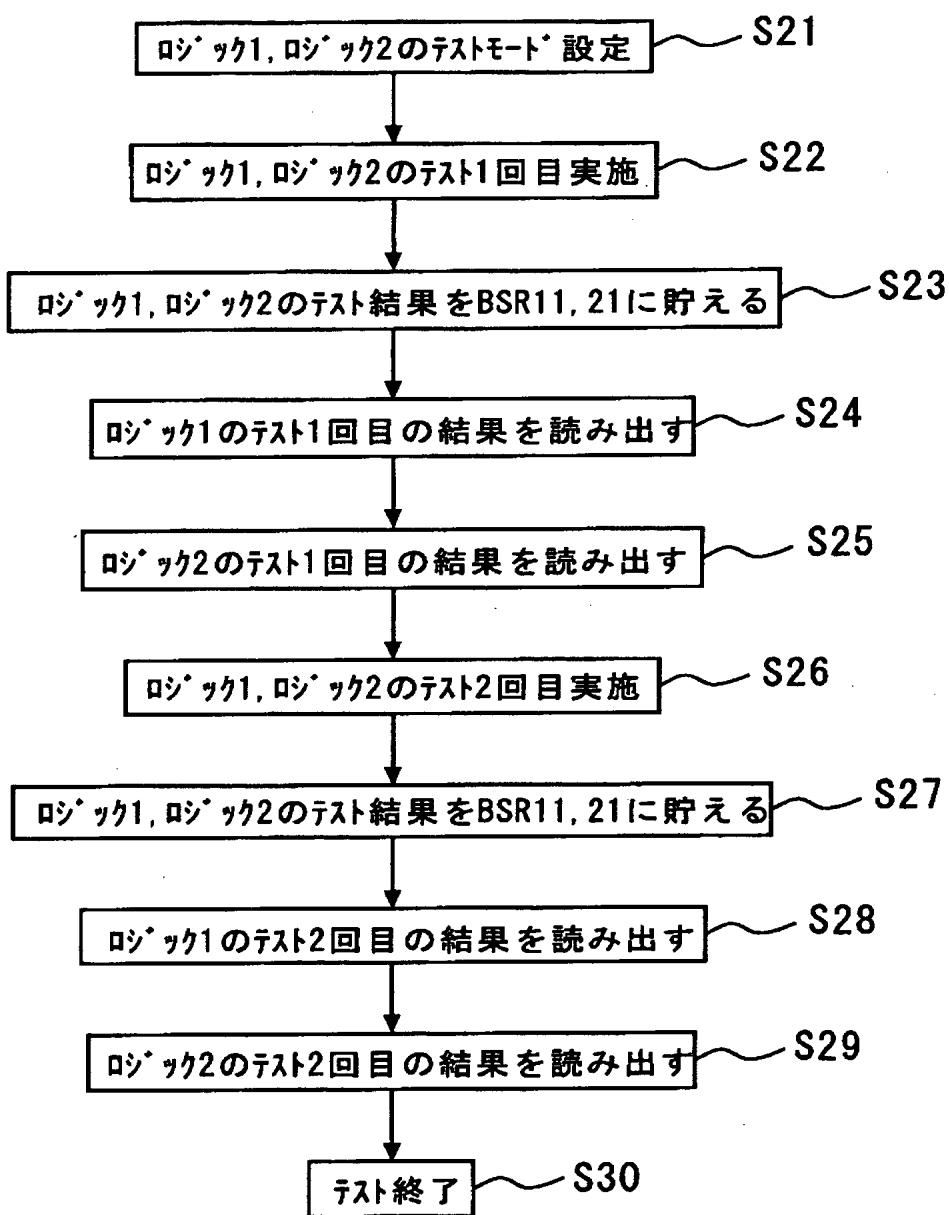
11, 21 : バウンダリスキャンレジスタ

12, 22 : JTAG回路のデータレジスタ

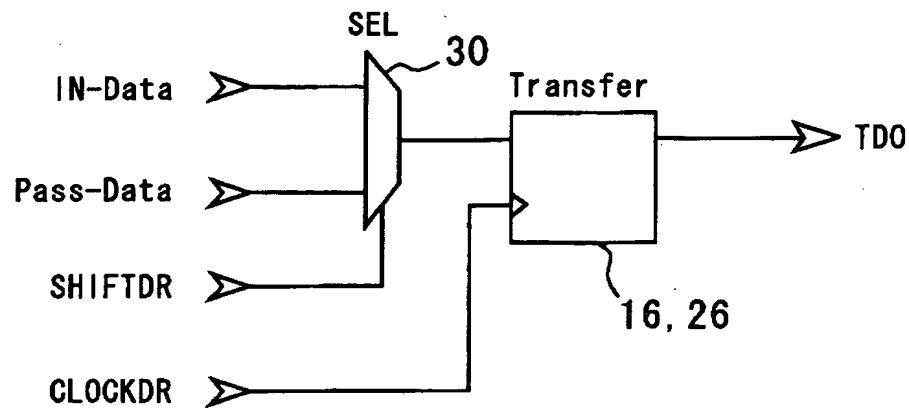
13, 23 : JTAG回路のバイパスレジスタ

14, 24 : JTAG回路のインストラクションレジスタ

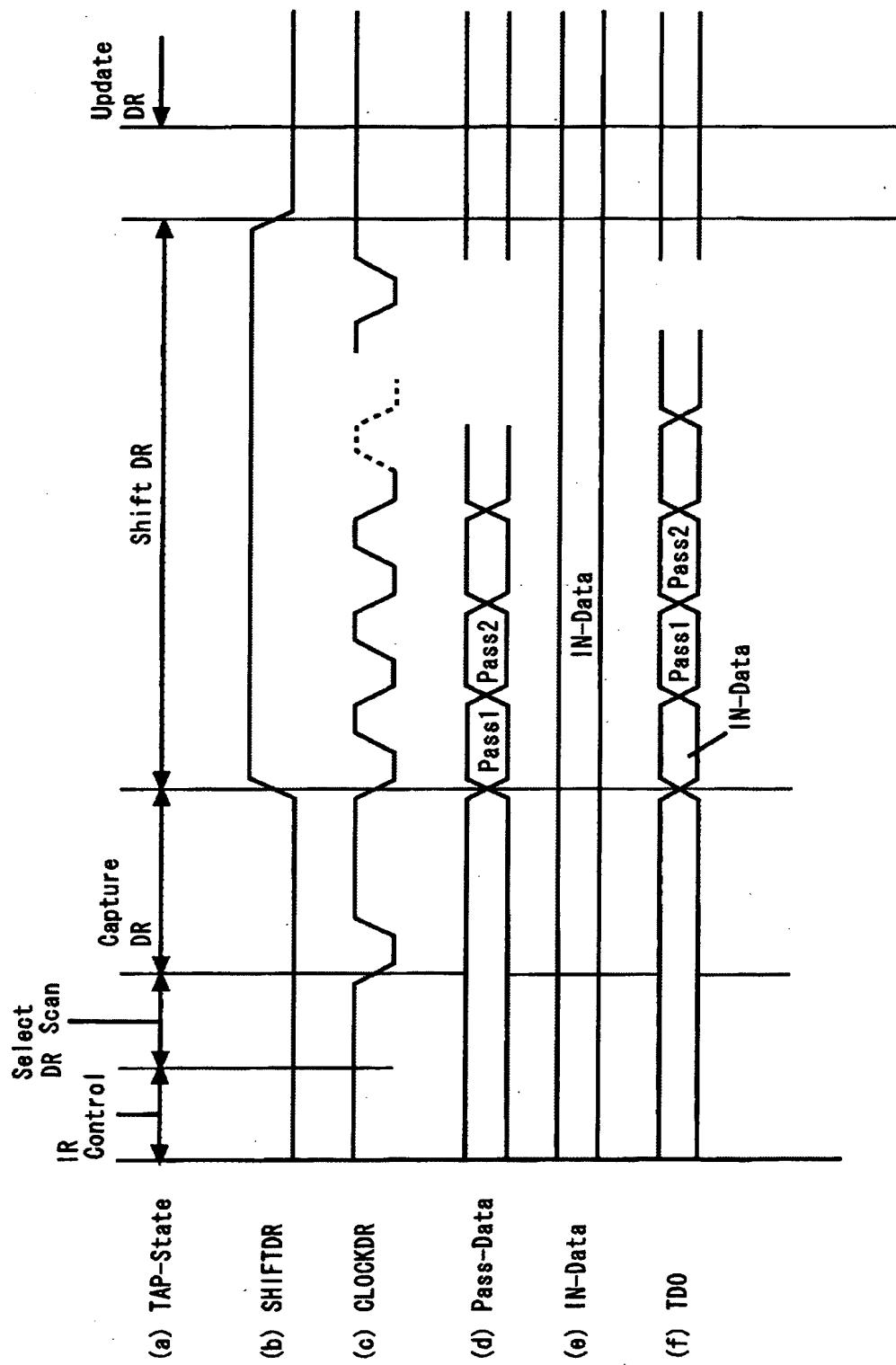
【図2】



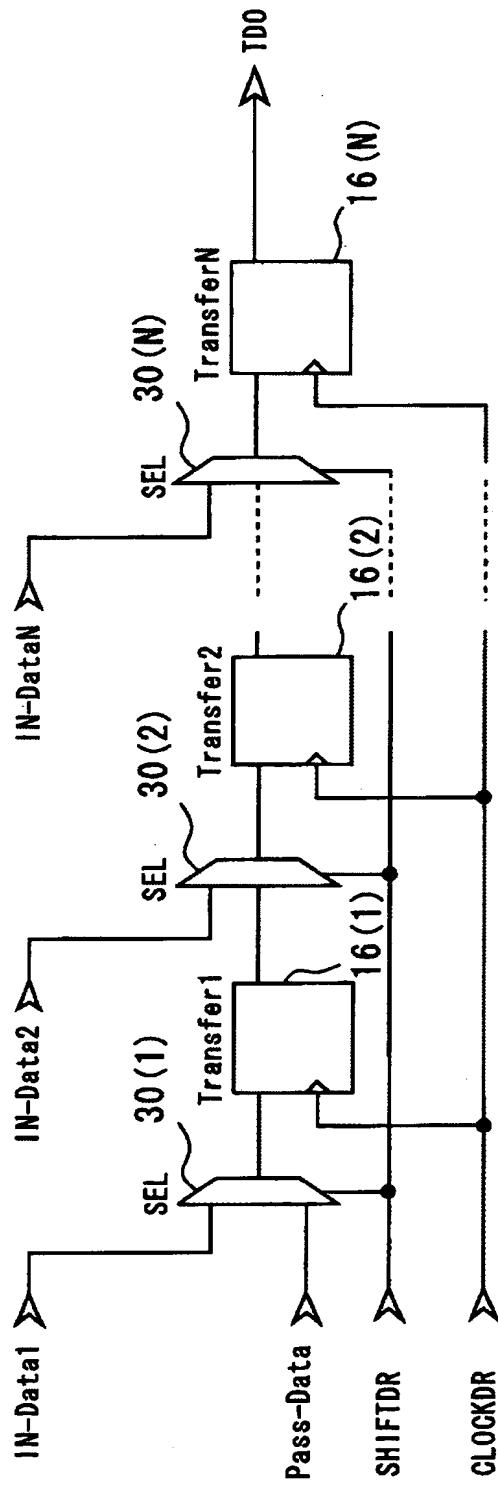
【図3】



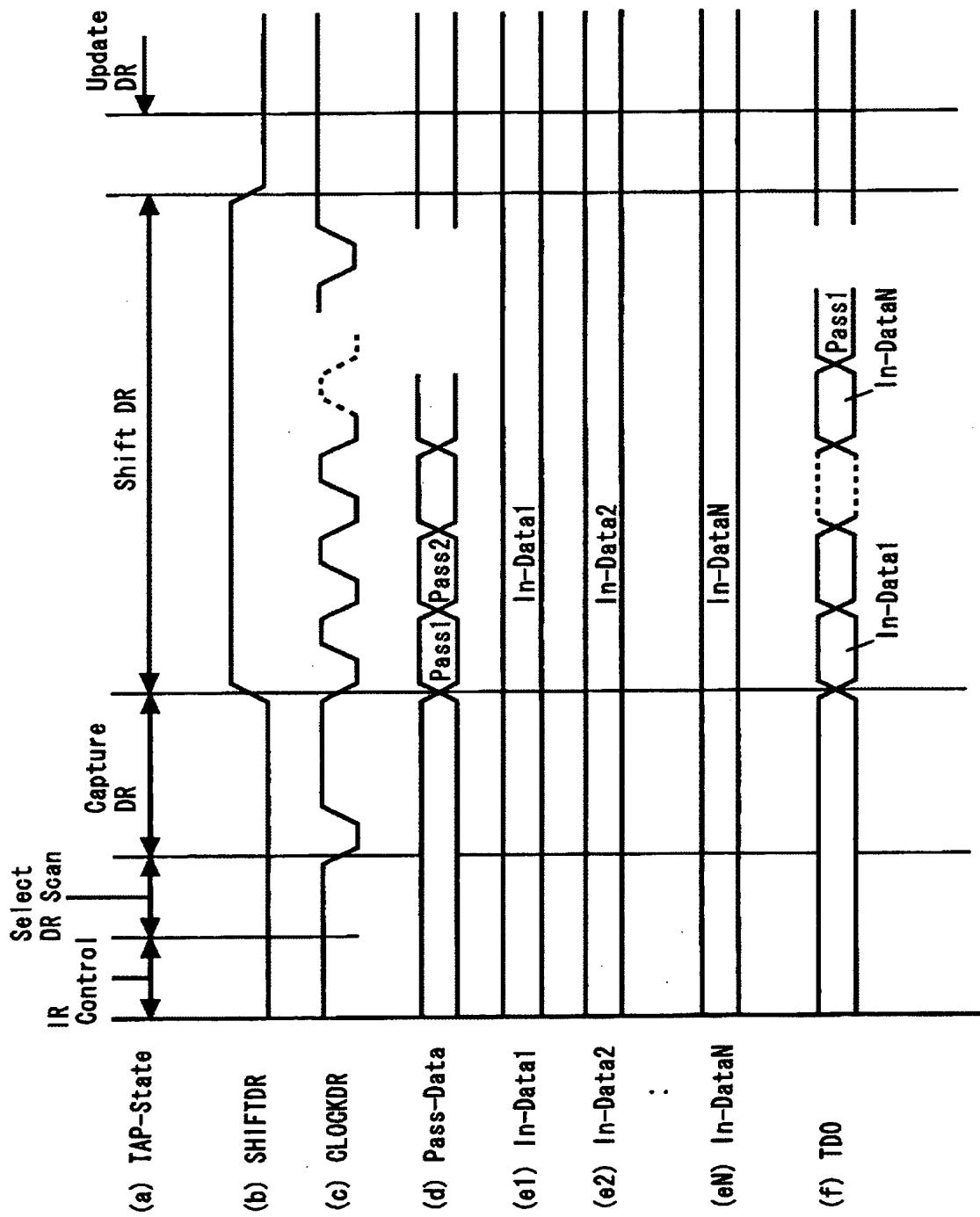
【図4】



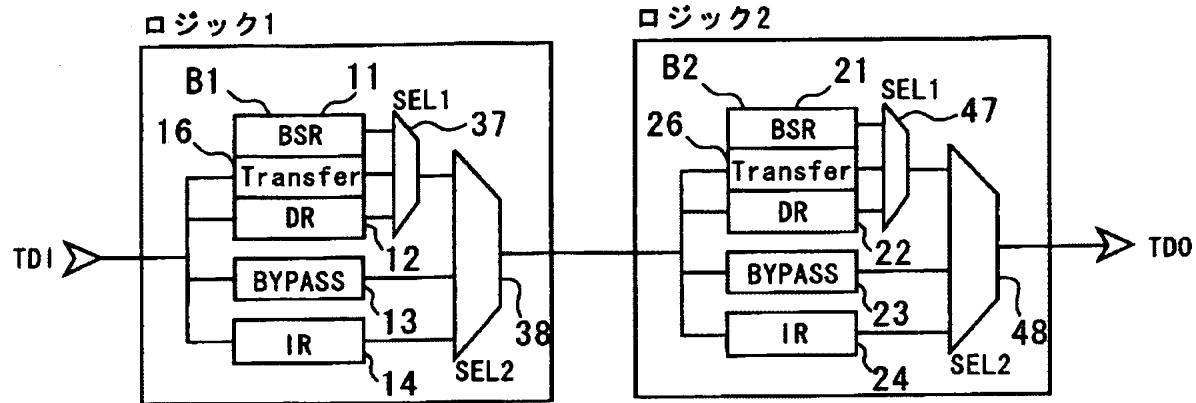
【図5】



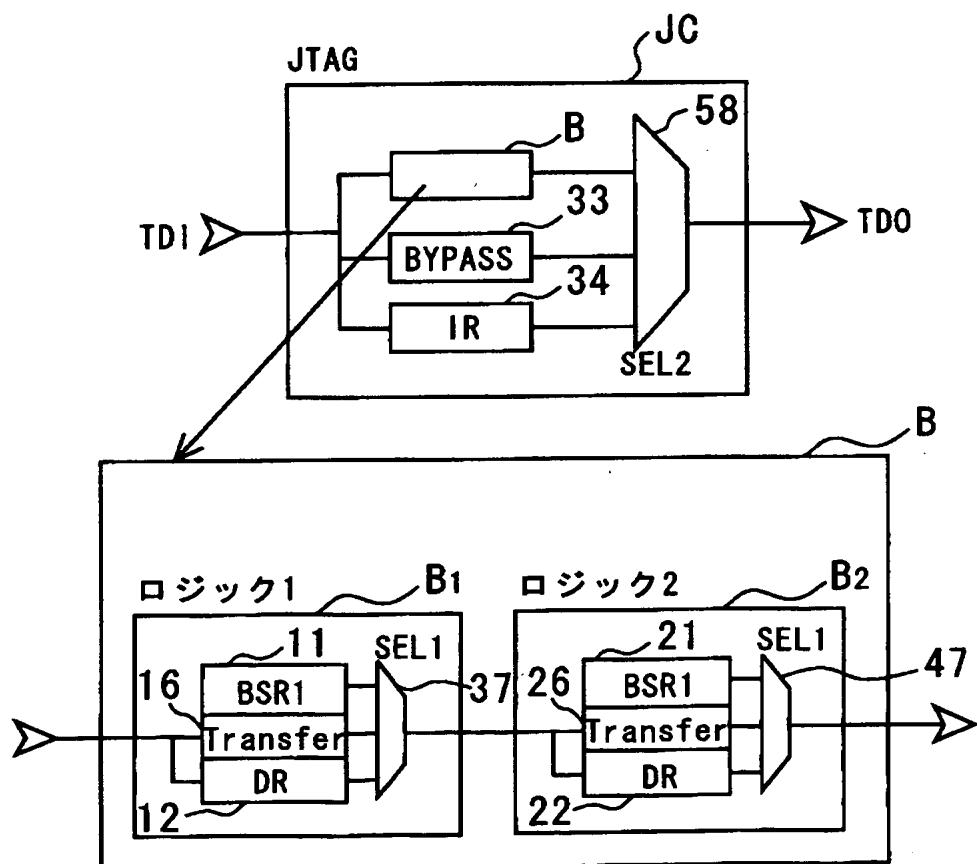
【図6】



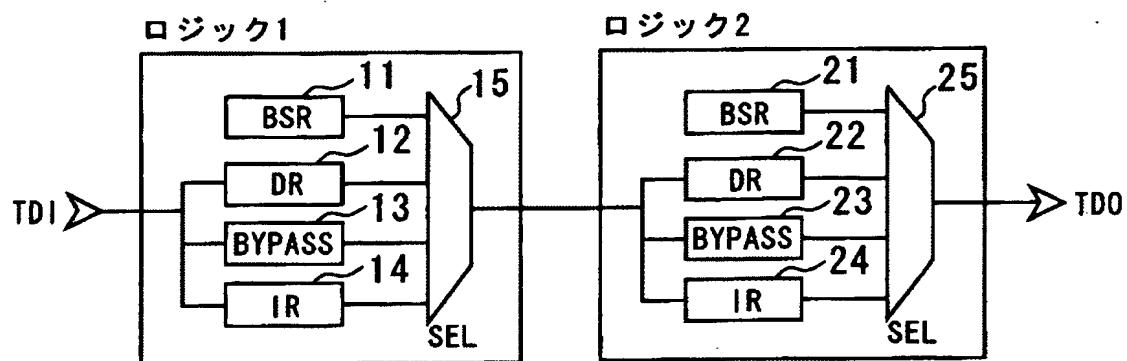
【図7】



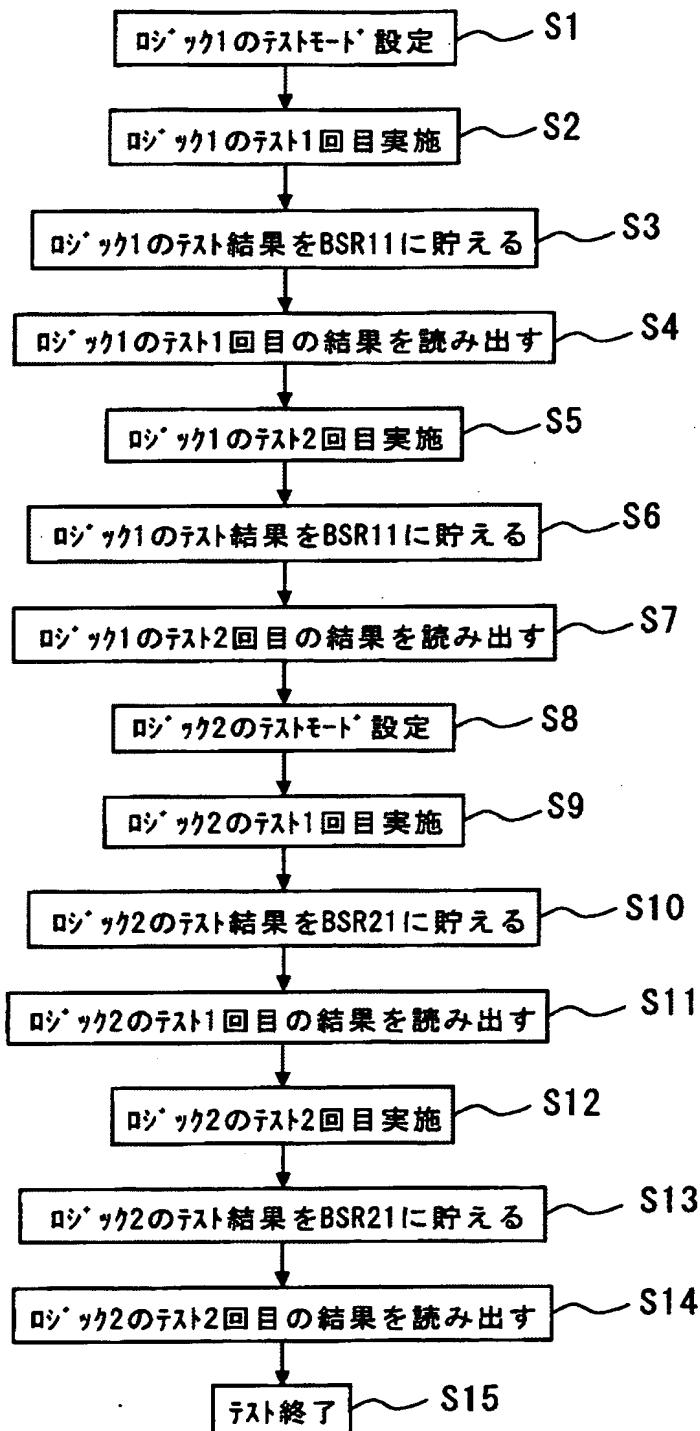
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 JTAG回路において、IRの状態に左右されないバイパス機能を実現することができる試験装置及び試験方法を提供する。

【解決手段】 テストデータ入力に応じてロジックのテストを行ない、テスト結果を貯えるBSR11と、DR12と、テストデータ入力のバイパス機能を有するTR16と、DR12及びTR16に接続され、各レジスタの出力を選択的に取り出す第1のセレクタ17と、テストデータ入力のバイパス機能を有するBR13と、動作指令を与えるためのIR14と、BSR11及び第1のセレクタ17、BR13並びにIR14に接続され、IR14によって選択制御される第2のセレクタ18とを有するJTAG回路を各ロジックにそれぞれ設け、所定のロジックの第2のセレクタ18の出力を他の1つのロジックの入力とするようにしたもの。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出願人履歴情報

識別番号 [591036505]

1. 変更年月日 1991年 2月26日

[変更理由] 新規登録

住 所 兵庫県伊丹市瑞原4丁目1番地

氏 名 菱電セミコンダクタシステムエンジニアリング株式会社